



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Tomio OKUDA**
Filed : **July 23, 2003**
For : **METHOD AND CIRCUIT FOR...**
Serial No. : **10/626,431**
Examiner :
Art Unit :

Director of the U.S. Patent and
Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

August 7, 2003

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent
application no. **2002-214265** filed **July 23, 2002**, certified copy of which is enclosed.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-
1290.

Respectfully submitted,

Michael I. Markowitz
Reg. No. 30,659

KATTEN MUCHIN ZAVIS ROSENMAN
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.:NECG 20.529(100806-00221)
TELEPHONE: (212) 940-8800

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO: COMMISSIONER OF
PATENTS AND TRADEMARKS, WASHINGTON, D.C.
20231, ON THE DATE INDICATED BELOW.

BY
DATE August 7, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年 7月23日

出 願 番 号

Application Number: 特願2002-214265

[ST.10/C]:

[JP2002-214265]

出 願 人

Applicant(s): エルピーダメモリ株式会社

2003年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047973

【書類名】 特許願

【整理番号】 22310081

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/40

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ
株式会社内

【氏名】 奥田 富雄

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号電圧昇圧方法、シェアード信号発生回路及び半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体記憶装置がセンス動作及びプリチャージ動作を行なう際に、それぞれ異なる特性を有する複数の電源を用いて信号電圧を昇圧する方法であって、前記複数の電源の一電源から他の一電源に切り替えながら前記信号電圧の昇圧を行なう方法において、

前記複数の電源の一により昇圧を行なう時間の長さが、センス動作とプリチャージ動作とで異なることを特徴とする信号電圧昇圧方法。

【請求項 2】 半導体記憶装置のセンスアンプとセルとの間に接続されるシェアード信号を発生するシェアード信号発生回路であって、前記半導体記憶装置がセンス動作及びプリチャージ動作を行なう際、夫々が異なる特性を有する 2 つの電源を切り替えて用いて前記シェアード信号を昇圧するシェアード信号発生回路において、

前記電源の一方を用いて昇圧を行なう時間の長さが、センス動作とプリチャージ動作とで異なることを特徴とするシェアード信号発生回路。

【請求項 3】 一のセンスアンプにつき二のセルを備える半導体記憶装置のセンスアンプとセルとの間に接続されるシェアード信号を発生するシェアード信号発生回路であって、前記半導体記憶装置がセンス動作及びプリチャージ動作を行なう際、夫々が異なる特性を有する 2 つの電源を切り替えて用いて前記シェアード信号を昇圧するシェアード信号発生回路において、

前記二のセルの一方を選択する選択信号に応じて、電源を切り替えるタイミングを変更するタイミング変更回路を備えることを特徴とするシェアード信号発生回路。

【請求項 4】 請求項 3 に記載のシェアード信号発生回路において、前記タイミング変更回路は、一方の端子を前記選択信号に接続したキャパシタを備えることを特徴とするシェアード信号発生回路。

【請求項 5】 請求項 3 に記載のシェアード信号発生回路において、前記タ

イミング変更回路は、一方の端子を前記選択信号に接続したNOR回路を備えることを特徴とするシェアード信号発生回路。

【請求項6】 請求項2乃至5のいずれかに記載のシェアード信号発生回路を備える半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、DRAM (Dynamic Random Access Memory) の消費電力削減に関する。

【0002】

【従来の技術】

DRAMの記憶容量は年々増大しており、それに伴い消費電流は増加する一方である。そのため、DRAMの消費電力を削減する技術への要求は年々強くなっている。特に、昇圧電源の効率が低いことが着目されており、昇圧電源での消費電力を削減する技術が求められている。

【0003】

こうした技術のひとつに、昇圧が必要なレベルの信号を、一旦外部電源である程度まで充電した後で、残りを昇圧電源で充電することにより、効率の悪い昇圧電源の使用を極力減らす方式がある。

【0004】

図6を参照してこのような従来の方法を採用したDRAM1について説明する。DRAM1は、センスアンプ2ひとつにつき、2つのプレート3及び4がセンスアンプ2の左右に接続した構造を有する。プレート3及び4のセルからの信号（微少差電位）はセンスアンプ2に供給される。即ち、プレート3のセルからの信号BLTP0とBLNP0の微少差電位と、プレート4のセルからの信号BLTP1とBLNP1との微少差電位は、ビット線BLTSA及びBLNSAからセンスアンプ2に入力される。センスアンプ2はこれらの微少差電位を増幅する。

【0005】

センスアンプ 2 とプレート 3 の間にはシェアード信号 T G L が接続される。また、セルアンプ 2 とプレート 4 の間にはシェアード信号 T G R が接続される。これらのシェアード信号は、従来、図 7 に示すようなシェアード信号発生回路 1 0 を用いて発生していた。

【 0 0 0 6 】

信号 T G S がインバータ 1 1 L 及び 1 1 R に入力される。プレート選択信号 P 0 E N がインバータ 1 2 R に入力される。プレート選択信号 P 1 E N がインバータ 1 2 L に入力される。

【 0 0 0 7 】

インバータ 1 1 L 及び 1 2 L の出力は N A N D 回路 1 3 L に入力される。N A N D 回路 1 3 L の出力は二分岐され、一方はインバータ 1 4 L 及び 1 5 L を経て N O R 回路 1 6 L に入力され、他方は N O R 回路 1 6 L に直接入力される。ここで、インバータ 1 4 L 及び 1 5 L は十分な遅延時間を有するものとする。このようなインバータ 1 4 L、1 5 L 及び N O R 回路 1 6 L により、外部電源 V D D から昇圧電源 V P P に切り替えるタイミングを作っている。N A N D 回路 1 3 R、インバータ 1 4 R 及び 1 5 R、N O R 回路 1 6 R についても同様である。

【 0 0 0 8 】

また、トランジスタ 1 8 L、1 9 L、2 0 L、1 8 R、1 9 R 及び 2 0 R を介して昇圧電源 V P P が供給される。更に、トランジスタ 2 1 L 及び 2 1 R を介して外部電源 V D D が供給される。

【 0 0 0 9 】

シェアード信号発生回路 1 0 がプレート 3 のセルをプリチャージするとき、図 8 に示すように、シェアード信号 T G R が区間 t 1 の間は外部電源 V D D で充電され、続いて、区間 t 2 の間は昇圧電源 V P P で充電される。

【 0 0 1 0 】

ここで、区間 t 1 におけるグラフの傾きは、区間 t 2 における傾きよりも小さいことに注意されたい。また、外部電源 V D D による充電時間が長いほど、消費電力の削減効果は大きくなることにも注意されたい。

【 0 0 1 1 】

このようなシェアード信号発生回路 1 0 によれば、その回路構成上、外部電源 VDD にてシェアード信号を充電する時間は、プリチャージ動作とセンス動作で等しくなる。

【 0 0 1 2 】

【発明が解決しようとする課題】

従って、セルリストア特性 (t_{RC} スペック) を満足するため、より時間的な制約が厳しいセンス動作を基準として外部電源 VDD による充電時間を定めると、必然的にプリチャージ動作時における外部電源 VDD による充電時間も、センス動作と同じ時間的な制約を受けてしまうことになる。その結果、プリチャージ動作の際に外部電源 VDD をより長い時間用いて充電を行なえば期待できるであろう消費電力削減効果が得られていないという問題があった。

【 0 0 1 3 】

また、昇圧電源の消費電力が大きいと、プリチャージ時の昇圧電源 VPP によるノイズが大きくなり、結果としてプリチャージ特性 (t_{RP} スペック) も悪化するという問題があった。

【 0 0 1 4 】

本発明はこのような状況に鑑みてなされたものであり、本発明が解決しようとする課題は、シェアード信号の消費電流を出来る限り削減した半導体装置を提供することである。

【 0 0 1 5 】

【課題を解決するための手段】

上述の課題を解決するため、本発明は、次のような信号電圧昇圧方法、シェアード信号発生回路及び半導体記憶装置を提供する。

【 0 0 1 6 】

即ち、本発明は、半導体記憶装置がセンス動作及びプリチャージ動作を行なう際に、それぞれ異なる特性を有する複数の電源を用いて信号電圧を昇圧する方法であって、複数の電源の一電源から他の一電源に切り替えながら信号電圧の昇圧を行なう方法において、複数の電源の一により昇圧を行なう時間の長さが、センス動作とプリチャージ動作とで異なることを特徴とする信号電圧昇圧方法を提供

する。

【0017】

この方法によれば、より時間的な制約が厳しいセンス動作時に、外部電圧による充電時間を短くして昇圧電源による充電時間を長くとることにより、全体の充電時間を短く抑えることと、プリチャージ動作時に、逆に外部電圧による充電時間を長くして昇圧電源による充電時間を短くすることにより、消費電力を削減することとを、両立することができる。

【0018】

また、本発明は、半導体記憶装置のセンスアンプとセルとの間に接続されるシェアード信号を発生するシェアード信号発生回路であって、半導体記憶装置がセンス動作及びプリチャージ動作を行なう際、夫々が異なる特性を有する2つの電源を切り替えて用いてシェアード信号を昇圧するシェアード信号発生回路において、電源の一方を用いて昇圧を行なう時間の長さが、センス動作とプリチャージ動作とで異なることを特徴とするシェアード信号発生回路を提供する。

【0019】

更に、本発明は、一のセンスアンプにつき二のセルを備える半導体記憶装置のセンスアンプとセルとの間に接続されるシェアード信号を発生するシェアード信号発生回路であって、半導体記憶装置がセンス動作及びプリチャージ動作を行なう際、夫々が異なる特性を有する2つの電源を切り替えて用いてシェアード信号を昇圧するシェアード信号発生回路において、二のセルの一方を選択する選択信号に応じて、電源を切り替えるタイミングを変更するタイミング変更回路を備えることを特徴とするシェアード信号発生回路を提供する。

【0020】

このシェアード信号発生回路において、タイミング変更回路は、一方の端子を選択信号に接続したキャパシタを備えることとしてもよい。または、タイミング変更回路は、一方の端子を選択信号に接続したNOR回路を備えることとしてもよい。

【0021】

更に、本発明は、これらのシェアード信号発生回路を備える半導体記憶装置を

提供する。

【 0 0 2 2 】

【発明の実施の形態】

本発明では、センスアンプとセル部の間に接続されるシェアード(以下TGと記す)を、昇圧レベルに充電する際に、一旦外部電源で充電した後、昇圧電源で充電する方式のDRAMにおいて、センス時とプリチャージ時で、外部電源の充電時間を変える事を特徴としている。

【 0 0 2 3 】

シェアード信号発生回路は、遅延素子を利用して、外部電源から昇圧電源に切り替える時間を作っている。より具体的には、本発明では、シェアード信号発生回路は、この素子の遅延時間をセンス時とプリチャージ時とで変更する手段を備える。

【 0 0 2 4 】

このシェアード信号発生回路は、シェアード信号TGLをHレベルにする過程で、次のように動作する。

【 0 0 2 5 】

センス動作のとき、プレート選択信号POENはHレベルである。このため、シェアード信号TGLをHレベルに充電する時、キャパシタN1L、N2Lのチャネルが形成されない。従って、キャパシタN1L及びN2Lは遅延時間に影響を与えない。

【 0 0 2 6 】

これに対して、プリチャージ動作のとき、プレート選択信号POENはLレベルである。このため、キャパシタN1L、N2Lのチャネルが形成され、インバータ14L及び15Lの負荷として寄与するので、遅延時間が長くなる。その結果、外部電源による充電時間を長くすると共に、昇圧電源による充電時間を短くすることができる。

【 0 0 2 7 】

同様に、シェアード信号TGRをHレベルにする過程では、上述の動作において、プレート選択信号POENをP1ENに置き換え、シェアード信号TGLを

T G Rに置き換え、キャパシタ N 1 L 及び N 2 L を N 1 R 及び N 2 R に置き換えた説明が成り立つ。

【 0 0 2 8 】

このようにして、センス時とプリチャージ時で外部電源で充電する時間を変えているため、セルリストア特性（ t_{RC} スペック）を満足した上で、V P P の消費電流を効率的に削減出来るという効果が得られる。

【 0 0 2 9 】

本発明の第 1 の実施の形態であるシェアード信号発生回路 3 0 について説明する。シェアード信号発生回路 3 0 は前述の従来技術であるシェアード信号発生回路 1 0 に代わって D R A M 1 と共に用いられる。

【 0 0 3 0 】

図 6 に示した D R A M 1 において、プレート 3 のセルデータをセンスする場合、外部から入力される A C T コマンドに応じてプレート選択信号 P O E N が H レベルになり、シェアード信号 T G R が L レベルになる。その後、ワード線を動作させ、センスアンプ 2 内のビット線 B L T S A 及び B L N S A に十分な差電位が得られた後、センスアンプ活性化信号 S E 1 にてセンスアンプ 2 を活性化する。その直後、信号 T G S を H レベルにしてシェアード信号 T G L を L レベルにする。これにより、センスアンプ 2 の負担を軽減し、高速なセンス動作を可能とする。この後、信号 T G S を L レベルにしてシェアード信号 T G L を H レベルにすることにより、プレート 3 のセルのリストア動作を行なう。

【 0 0 3 1 】

また、プリチャージ時には、プレート 4 のセルの信号 B L T P 1 及び B L N P 1 に対してプリチャージを行うため、シェアード信号 T G R を H レベルにする必要がある。

【 0 0 3 2 】

シェアード信号発生回路 3 0 の構成について説明する。シェアード信号発生回路 3 0 は、前述のシェアード信号発生回路 1 0 の代わりに用いられるものであり、キャパシタ 3 1 L、3 2 L、3 1 R 及び 3 2 R を備える点が大きく異なる。その他の構成回路についてはほぼ同様である。

【 0 0 3 3 】

図 1 を参照すると、シェアード信号 T G L 及び T G R を発生するシェアード信号発生回路 3 0 は以下のように構成されている。尚、インバータ 1 4 L、1 5 L、1 4 R 及び 1 5 R が、十分な遅延時間を持つ点についても前述と同様である。

【 0 0 3 4 】

プレート 3 のセルデータを増幅する時、プレート選択信号 P O E N が H レベルになり、シェアード信号 T G R が L レベルになる。その後、ワード線を活性化し、ビット線 B L T S A 及び B L N S A に十分な差電位が得られた後、センスアンプ活性化信号 S E 1 を H レベルにしてセンスアンプを活性化する。その直後、ビット線 B L T S A 及び B L N S A を高速に増幅するため、信号 T G S を H にして、一旦シェアード信号 T G L を L レベルにした後、信号 T G S を L にし、シェアード信号 T G L を H レベルにする。この時、プレート選択信号 P O E N が H レベルのため、キャパシタ N 1 L、N 2 L のチャンネルは形成されず、負荷として寄与されない遅延時間分だけ、外部電源 V D D でシェアード信号 T G L を充電した後、昇圧電源 V P P で充電する。

【 0 0 3 5 】

プリチャージ時には、プレート選択信号 P O E N が L レベルとなり、シェアード信号 T G R を H レベルにする。この時、プレート選択信号 P 1 E N は L レベルであり、キャパシタ N 1 R、N 2 R のチャンネルが形成され、インバータ 3 1 R 及び 3 2 R の負荷容量として寄与する。これにより、センス時より、長い時間、外部電源 V D D での充電を行った後、昇圧電源 V P P での充電を行う。以上より、センス時とプリチャージ時それぞれの T G の動作が行われる。

【 0 0 3 6 】

尚、図のセンスアンプ 2 やプレート 3、4 及びこれらのセルの構成については、当業者にとってよく知られており、また本発明とは直接関係しないので、これらの構成に関する説明は省略する。

【 0 0 3 7 】

続いて、シェアード信号発生回路 3 0 の動作について説明する。まず、センス時の動作について図 2 のタイミング図を用いて説明する。

【 0 0 3 8 】

センス動作であるので、プレート選択信号 $P0EN$ が選択される。これにより、選択したプレート 3 と反対のプレート 4 に接続されるシェアード信号 TGR は L レベルにされる。

【 0 0 3 9 】

その後、選択プレート 3 のワード線を選択し、ある一定時間待った後、センスアンプ活性化信号 $SE1$ を H レベルにし、センス動作を行う。この時、センス高速化のために、信号 TGS を H レベルにしシェアード信号 TGL を一旦 L レベルにする事で、負荷を少なくして、高速にセンスを行う。

【 0 0 4 0 】

その後、信号 TGS を L レベルにし、シェアード信号 TGL を H レベルにし、セルリストアを行う。シェアード信号 TGL を H レベルに充電する際、消費電流削源のため、一旦外部電源 VDD で充電し、昇圧電源 VPP で充電する動作を行うが、外部電源 VDD で充電する時間 $t3$ が大きいと、セルリストアが遅れてしまうため、 $t3$ はあまり大きく出来ない点に留意する必要がある。

【 0 0 4 1 】

一方、プリチャージ動作に付いては図 3 のタイミング図に従って実行される。即ち、プリチャージ時はシェアード信号 $P0EN$ が L レベルになり、選択プレート 3 と反対側のプレート 4 に接続されるシェアード信号 TGR は、H レベルになる。この時、プレート選択信号 $P1EN$ は L レベルのため、インバータ 14R 及び 15R が動作する時には、キャパシタ 31R 及び 32R のチャネルが形成され、負荷として寄与する。プリチャージ時は、次のセンス時のワード活性化までに、シェアード信号 TGR を昇圧レベルに充電すれば良いため、プリチャージ動作時の外部電源 VDD での充電時間 $t4$ は、センス動作時の外部電源 VDD での充電時間 $t3$ より大きくする事が可能である。

【 0 0 4 2 】

このように、シェアード信号発生回路 30 によれば、センス時とプリチャージ時で、シェアード信号を外部電源 VDD で充電する時間を変えているので、センス時のリストア時間の遅れを最小限に止めつつ、プリチャージ時のシェアード信

号による消費電流を削減することができる。

【 0 0 4 3 】

発明者らの実験結果によれば、256MBのRDRAM (R a m b u s D R A M) に本発明を適用したとき、動作周波数800MHz、 $t_{SS}=20\text{ nS}$ 動作時において、VPP電流を従来の25mAから23mAに削減することが出来た。これをVDD電流に換算すると5mAに相当する。

【 0 0 4 4 】

次に、本発明の第2の実施の形態であるシェアード信号発生回路40について説明する。図4及び図7を参照してシェアード信号発生回路4を従来技術であるシェアード信号発生回路10と比較すると、インバータ15L及び15Rの代わりに、NOR回路41L及び41Rを備える点で大きく異なる。NOR回路41Lには、インバータ14Lの出力と、プレート選択信号P0ENとが入力され、その出力はNOR回路16Lに入力されている。同様に、NOR回路41Rには、インバータ14Rの出力と、プレート選択信号P1ENとが入力され、その出力はNOR回路16Rに入力されている。

【 0 0 4 5 】

図4からも分かるように、信号TGSがLレベルであっても、プレート選択信号P0ENがHレベルならば、インバータ14L及びNOR回路16Lによる遅延はディセーブルとなり、外部電源VDDによる充電を行なわない。

【 0 0 4 6 】

従って、シェアード信号発生回路40の動作は図5のようになる。即ち、センス時は、外部電源VDDの使用無しに、昇圧電源VPPのみで、シェアード信号を昇圧レベルまで充電する。これにより、リストアを最速で行なうことが可能でありながら、プリチャージ時には消費電流を削減することが出来る。

【 0 0 4 7 】

このように、シェアード信号発生回路40によれば、セルリストア特性に悪影響を与えることなく、昇圧電源VPPによる消費電流を削減するという効果が得られる。

【 0 0 4 8 】

以上、本発明を実施の形態に基づいて説明したが、本発明はこれに限定されるものではなく、当業者の通常の知識の範囲内でその変更や改良が可能であることは勿論である。例えば、外部電源VDDは、アレイ降圧電源VDLや、周辺降圧電源VPERI等に変更してもよい。

【0049】

【発明の効果】

本発明によれば、センス時とプリチャージ時でシェアード信号を外部電源VDDで充電する時間を変えることができる。これにより、センス時のリストア時間の遅れを最小限に止めつつ、プリチャージ時のシェアード信号による消費電流を削減することができる。従って、動作速度を犠牲にすることなく消費電力を削減した半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態であるシェアード信号発生回路30の回路図である。

【図2】

シェアード信号発生回路30の動作を説明するためのタイミングチャートである。

【図3】

シェアード信号発生回路30の動作を説明するためのタイミングチャートである。

【図4】

本発明の第2の実施の形態であるシェアード信号発生回路40の回路図である。

【図5】

シェアード信号発生回路40の動作を説明するためのタイミングチャートである。

【図6】

DRAMにおけるセンスアンプ、セル及びシェアード信号の接続を説明するた

めのブロック図である。

【図 7】

従来のシェード信号発生回路 1 0 の回路図である。

【図 8】

シェード信号発生回路 1 0 の動作を説明するためのタイミングチャートである。

【符号の説明】

1 D R A M

2 センスアンプ

3、4 プレート

1 0、3 0、4 0 シェード信号発生回路

1 1 L、1 1 R、1 2 L、1 2 R、1 4 L、1 4 R、1 5 L、1 5 R インバータ

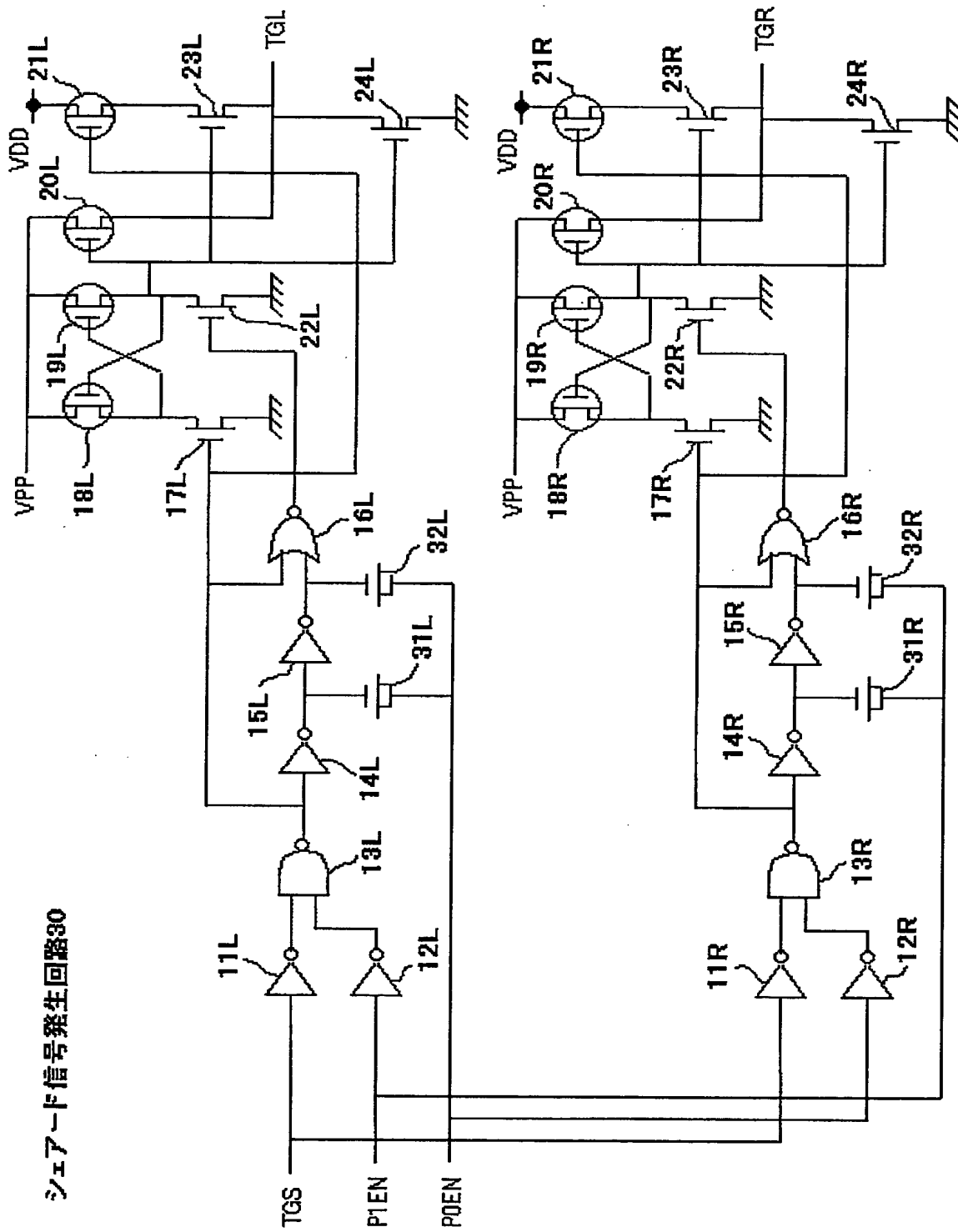
1 3 L、1 3 R N A N D回路

1 6 L、1 6 R、4 1 L、4 1 R N O R回路

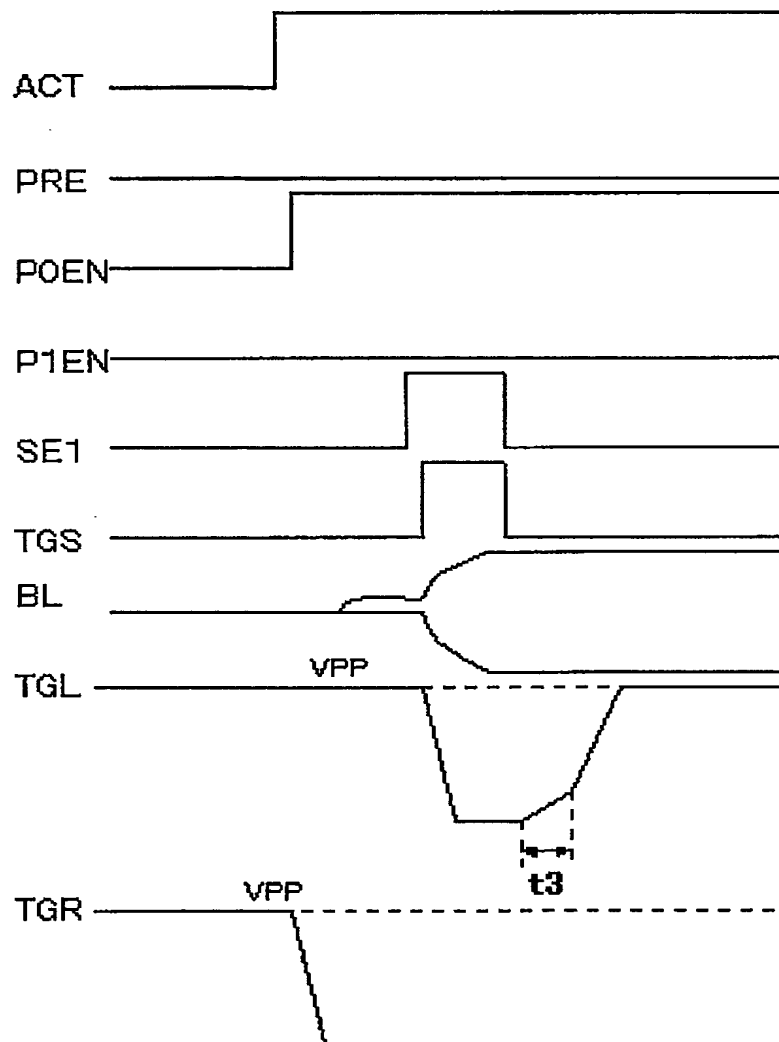
3 1 L、3 1 R、3 2 L、3 2 R キャパシタ

【書類名】 図面

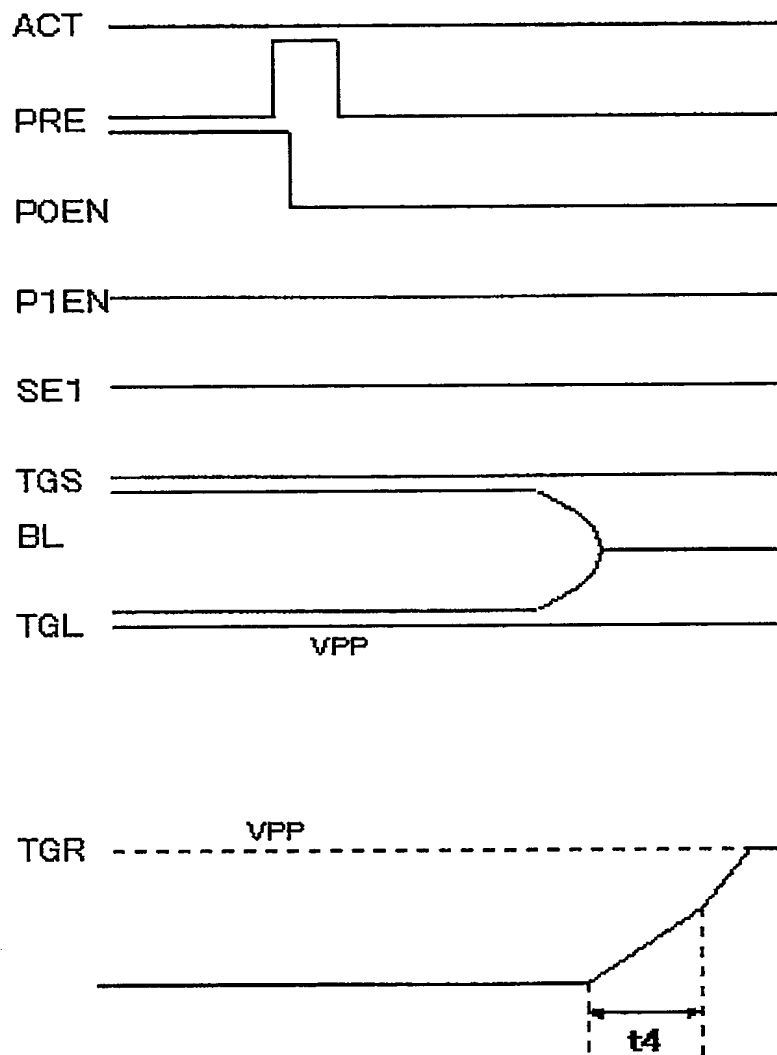
【図 1】



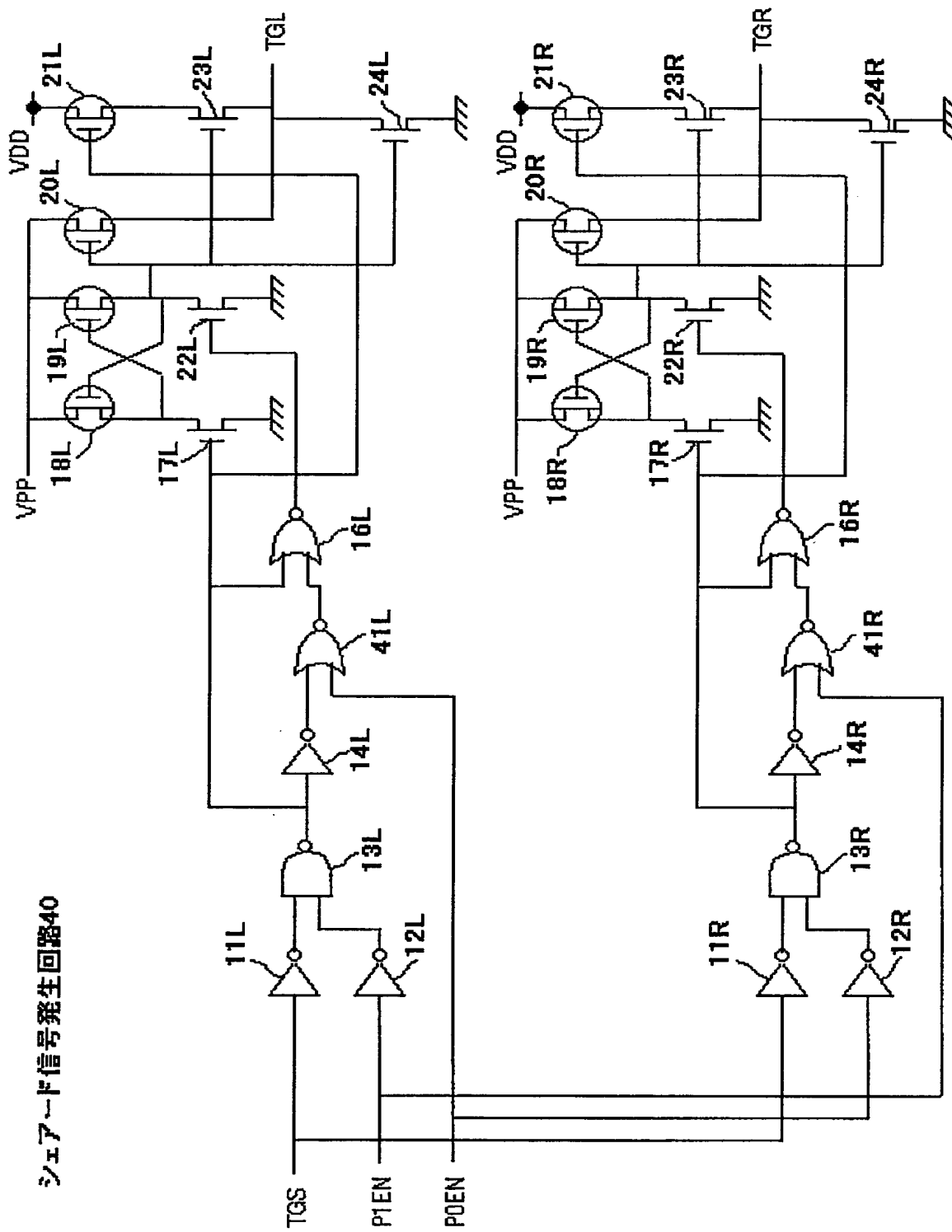
【図 2】



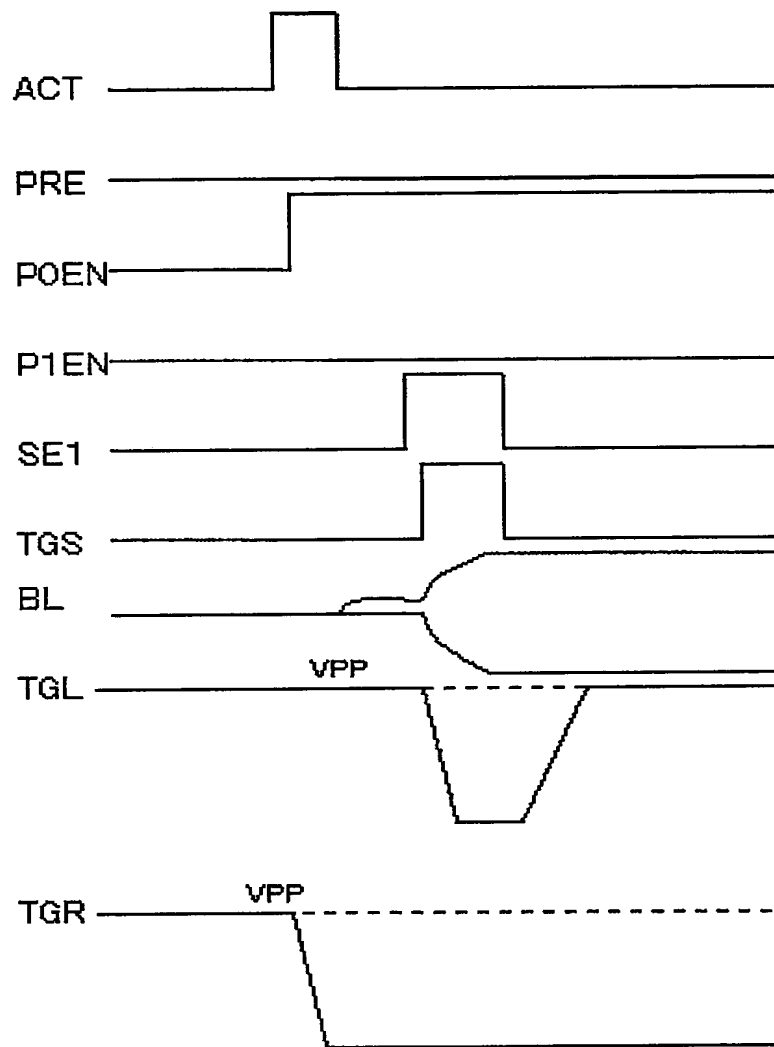
【図 3】



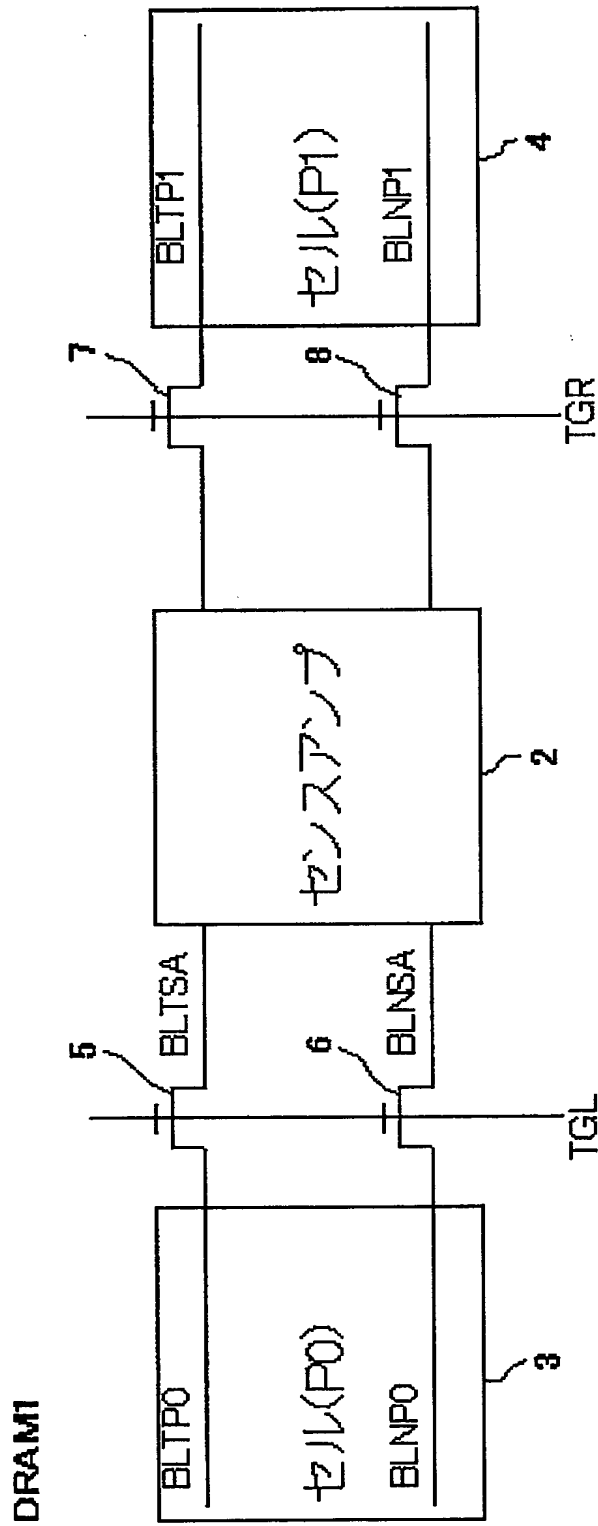
【図4】



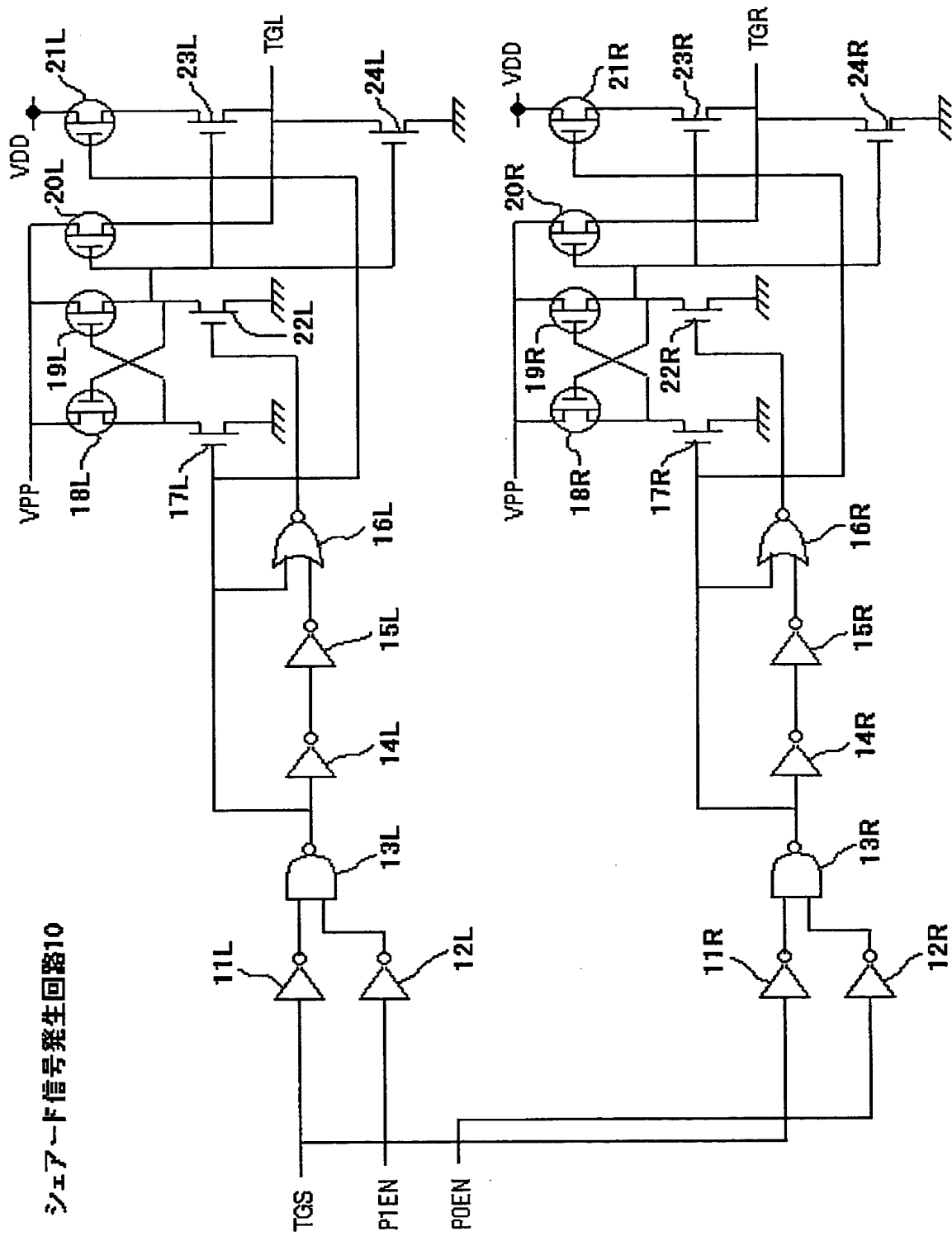
【図 5】



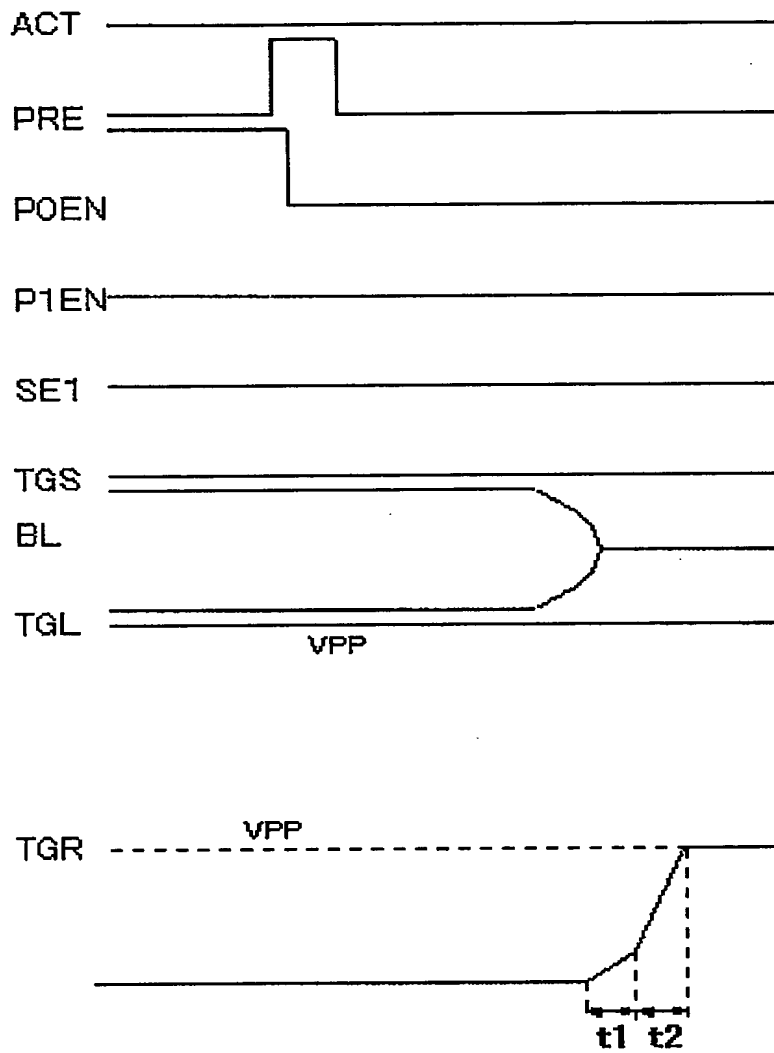
【図 6】



【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 シェアード信号による消費電流を削減した半導体装置を提供すること

。

【解決手段】 センス動作及びプリチャージ動作を行なう際に、昇圧電源と外部電源とを切り替えて信号電圧の昇圧を行なう半導体記憶装置で、外部電源により昇圧を行なう時間の長さを、センス動作とプリチャージ動作とで変える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [5 0 0 1 7 4 2 4 7]

1. 変更年月日 2 0 0 0 年 7 月 1 2 日
[変更理由] 名称変更
住 所 東京都中央区八重洲 2 - 2 - 1
氏 名 エルピーダメモリ株式会社